

メモリ Dual Port RAM

CMOS

16Kビット SRAM (マスタータイプ)

MB8421/8422

■品種構成

品 種	標準タイプ				L				LL				単 位
	MB8421 -90	MB8422 -90	MB8421 -12	MB8422 -12	MB8421 -90L	MB8422 -90L	MB8421 -12L	MB8422 -12L	MB8421 -90LL	MB8422 -90LL	MB8421 -12LL	MB8422 -12LL	
アクセスタイム (最大)	90	90	120	120	90	90	120	120	90	90	120	120	ns
消費電力 (動作時、最大)	660	660	660	660	495	495	495	495	495	495	495	495	mW
消費電力 (スタンバイ時、最大)	11	11	11	11	1.1	1.1	1.1	1.1	1.1	1.1	1.1	1.1	mW
データ保持電流 (最大)	0.2	0.2	0.2	0.3	0.02	0.02	0.02	0.02	0.02	0.02	0.02	0.02	mA
データ保持電流 (15℃～+40℃時)	-	-	-	-	-	-	-	-	0.002	0.002	0.002	0.002	mA

■特 長

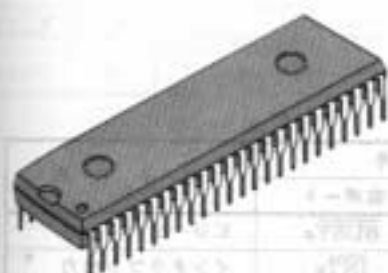
- 構成 2,048ワード×8ビット
- 高速アクセス (上表参照)
- 低消費電力 (上表参照)
- 両ポートからの完全非同期アクセス可能
- 完全スタティック動作
- 5V単一電源
- データ保持電圧 最小2V
- ポート・アービトラージ機能搭載、BUSY出力
- 両ポート間直接対話のための割込機能搭載、INT出力 (MB8421のみ)
- Master (MB8421/22) - Slave (MB8431/32) 構成によるBit拡張可能
- パッケージ対応 SH-DIP52ピン、QFP64ピン (MB8421)
DIP48ピン (MB8422)

■パッケージ

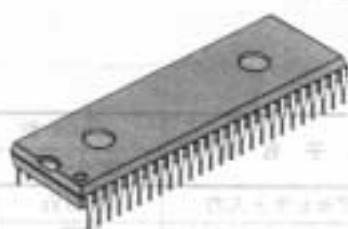
プラスチック・DIP, 48ピン

プラスチック・SH-DIP, 52ピン

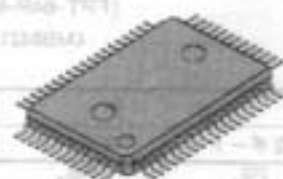
プラスチック・QFP, 64ピン



(DIP-48P-M02)
<MB8422>



(DIP-52P-M01)
<MB8421>

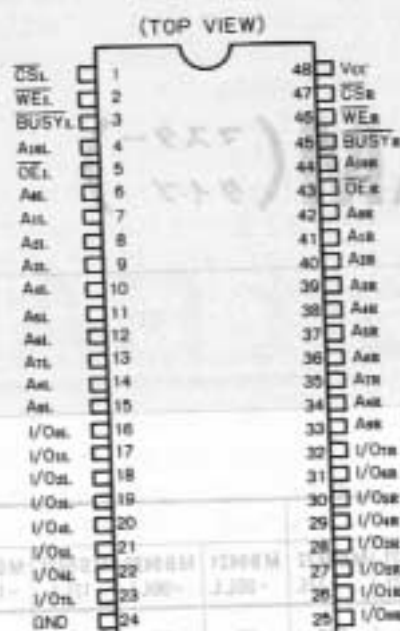


(QFP-64P-M01)
<MB8421>

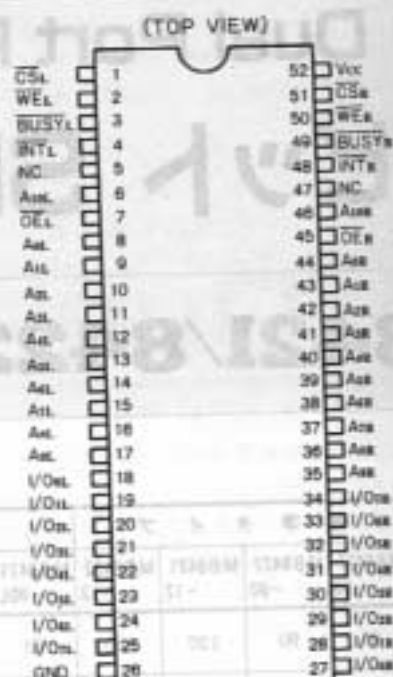
MB8421/8422

ストロガキ...

■端子配列図



(DIP-48P-M02)
(MB8422)



(DIP-52P-M01)
(MB8421)



(FPT-64P-M01)
(MB8421)

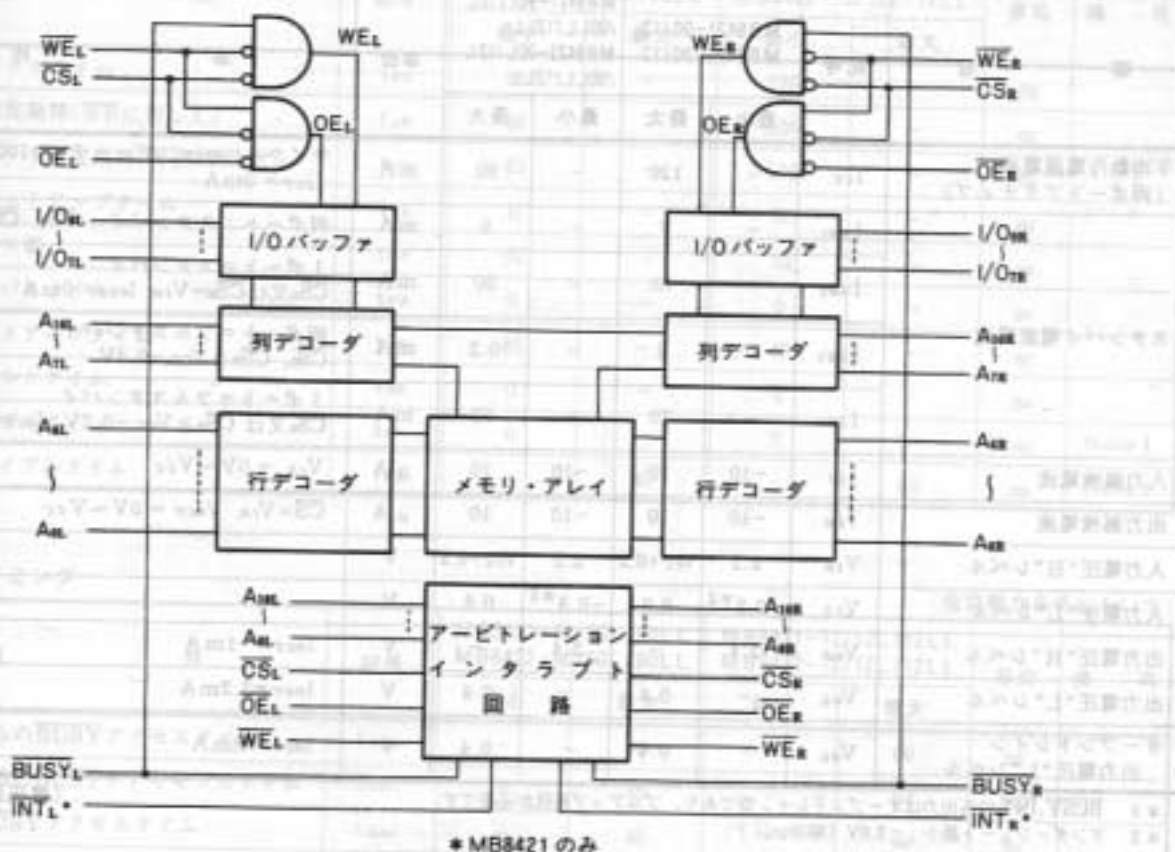
記号		端子名称	記号		端子名称
左ポート	右ポート		左ポート	右ポート	
CS _L	CS _H	チップセレクト入力	BUSY _L	BUSY _H	ビジー出力
WE _L	WE _H	ライトイネイブル入力	INT _L	INT _H	インタラプト出力
OE _L	OE _H	出力イネイブル入力	V _{cc}		電源(+5V)
A ₁₆ ~A ₁	A ₁₆ ~A ₁	アドレス入力	GND		グランド
I/O ₁₆ ~I/O ₁	I/O ₁₆ ~I/O ₁	データ入/出力	NC		ノーコネクション

* MB8421のみ。

MB8421/8422

ロックダイアグラム

図 10 接続例



定格

(電圧はGND基準)

項目	記号	定格	単位
電源電圧	V _{cc}	-0.5 ~ +7.0	V
入力電圧	V _{in}	-0.5 ~ V _{cc} + 0.5	V
出力電圧	V _{out}	-0.5 ~ V _{cc} + 0.5	V
動作温度	T _a	-10 ~ +85	℃
保存温度	T _{stg}	-40 ~ +125	℃

以上のストレスはデバイスの信頼度に影響を与え、素子が破壊することがあります。

推奨動作条件

(電圧はGND基準)

項目	記号	最小	標準	最大	単位
電源電圧	V _{cc}	4.5	5.0	5.5	V
電源電圧	GND	-	0	-	V
動作温度	T _a	0	-	+70	℃

MB8421/8422

■電気的特性

1. 直流特性

(推奨動作条件において)

項目	記号	MB8421-90/12 MB8422-90/12		MB8421-90L/12L /90LL/12LL MB8422-90L/12L /90LL/12LL		単位	条件
		最小	最大	最小	最大		
平均動作電源電流 (両ポートアクティブ)	I_{CC}	-	120	-	90	mA	サイクル=min., デューティ=100% $I_{OVR} = 0mA$
スタンバイ電源電流	I_{SP1}	-	7	-	5	mA	両ポート: スタンバイ $\overline{CS}_0, \overline{CS}_1 = V_{IH}$
	I_{SP2}	-	70	-	50	mA	1ポート=スタンバイ \overline{CS}_0 又は $\overline{CS}_1 = V_{IH}, I_{OVR} = 0mA$
	I_{SP3}	-	2	-	0.2	mA	両ポート=フルスタンバイ $\overline{CS}_0, \overline{CS}_1 \geq V_{CC} - 0.2V$
	I_{SP4}	-	70	-	50	mA	1ポート=フルスタンバイ \overline{CS}_0 又は $\overline{CS}_1 \geq V_{CC} - 0.2V, I_{OVR} = 0mA$
入力漏洩電流	I_{IL}	-10	10	-10	10	μA	$V_{IH} = 0V \sim V_{CC}$
出力漏洩電流	I_{LO}	-10	10	-10	10	μA	$\overline{CS} = V_{IH}, V_{OVR} = 0V \sim V_{CC}$
入力電圧*H*レベル	V_{IH}	2.2	$V_{CC} + 0.3$	2.2	$V_{CC} + 0.3$	V	
入力電圧*L*レベル	V_{IL}	-0.3*2	0.8	-0.3*2	0.8	V	
出力電圧*H*レベル	V_{OH}	2.4	-	2.4	-	V	$I_{OVR} = -1mA$ *
出力電圧*L*レベル	V_{OL}	-	0.4	-	0.4	V	$I_{OVR} = 3.2mA$
オープンドレイン 出力電圧*L*レベル	V_{OL}	-	0.4	-	0.4	V	$I_{OVR} = 8mA$

*1 BUSY, INTの各出力はオープンドレイン型であり、プルアップ抵抗が必要です。

(電圧はGND基準)

*2 アンダーシュート最小: -3.0V (幅20ms以下)

※ 7540004 *

2. 交流特性

・リードサイクル

(推奨動作条件において)

項目	記号	MB8421-90/90L/90LL MB8422-90/90L/90LL		MB8421-12/12L/12LL MB8422-12/12L/12LL		単位	備考
		最小	最大	最小	最大		
リードサイクルタイム	t_{RC}	90	-	120	-	ns	
アドレスアクセスタイム	t_{AA}	-	90	-	120	ns	
CSアクセスタイム	t_{ACS}	-	90	-	120	ns	
OEアクセスタイム	t_{AOG}	-	40	-	50	ns	
出力ホールドタイム	t_{OH}	10	-	10	-	ns	
出力イネイブルタイム	t_{IZ}	5	-	5	-	ns	Note 1
出力ディセイブルタイム	t_{DZ}	-	40	-	50	ns	Note 1
パワーアップタイム	t_{PU}	0	-	0	-	ns	Note 1
パワーダウンタイム	t_{PD}	-	50	-	60	ns	Note 1

項目	記号	単位	備考
CS ₀	\overline{CS}_0	チップセレクト0	チップセレクト0
CS ₁	\overline{CS}_1	チップセレクト1	チップセレクト1
OE	\overline{OE}	出力イネイブル	出力イネイブル
INT	INT	中断	中断
CS ₂	\overline{CS}_2	チップセレクト2	チップセレクト2
CS ₃	\overline{CS}_3	チップセレクト3	チップセレクト3
CS ₄	\overline{CS}_4	チップセレクト4	チップセレクト4
CS ₅	\overline{CS}_5	チップセレクト5	チップセレクト5
CS ₆	\overline{CS}_6	チップセレクト6	チップセレクト6
CS ₇	\overline{CS}_7	チップセレクト7	チップセレクト7
CS ₈	\overline{CS}_8	チップセレクト8	チップセレクト8
CS ₉	\overline{CS}_9	チップセレクト9	チップセレクト9
CS ₁₀	\overline{CS}_{10}	チップセレクト10	チップセレクト10
CS ₁₁	\overline{CS}_{11}	チップセレクト11	チップセレクト11
CS ₁₂	\overline{CS}_{12}	チップセレクト12	チップセレクト12
CS ₁₃	\overline{CS}_{13}	チップセレクト13	チップセレクト13
CS ₁₄	\overline{CS}_{14}	チップセレクト14	チップセレクト14
CS ₁₅	\overline{CS}_{15}	チップセレクト15	チップセレクト15

* MB8421-90

MB8421/8422

ライトサイクル (GE-V₁, V₂に適用)

(推奨動作条件において)

項 目	記号	MB8421-90/90L/90LL MB8422-90/90L/90LL		MB8421-12/12L/12LL MB8422-12/12L/12LL		単位	備 考
		最小	最大	最小	最大		
		ライトサイクルタイム	t _{WL}	90	-		
アドレス確定期間(WEに対して)	t _{AW}	85	-	100	-	ns	
チップセレクト確定期間(WEに対して)	t _{CW}	85	-	100	-	ns	
アドレスセットアップタイム	t _{AS}	0	-	0	-	ns	
ライトパルス幅	t _{WP}	60	-	70	-	ns	
ライトリカバリタイム	t _{WR}	0	-	0	-	ns	
データセットアップタイム	t _{OW}	40	-	40	-	ns	
データホールドタイム	t _{OH}	0	-	0	-	ns	
出力インビブルタイム	t _{OL}	0	-	0	-	ns	Note 1
出力ディセיブルタイム	t _{OR}	-	40	-	50	ns	Note 1

ビジータイミング

(推奨動作条件において)

項 目	記号	MB8421-90/90L/90LL MB8422-90/90L/90LL		MB8421-12/12L/12LL MB8422-12/12L/12LL		単位	備 考
		最小	最大	最小	最大		
		アドレスからのBUSYアクセスタイム	t _{BA}	-	45		
アドレスからのBUSYディセイブルタイム	t _{BA}	-	45	-	60	ns	
CSからのBUSYアクセスタイム	t _{BAC}	-	45	-	60	ns	
CSからのBUSYディセイブルタイム	t _{BAC}	-	45	-	60	ns	
レポートアビトレーション プライオリティセットアップタイム	t _{APXL}	0	-	0	-	ns	
レポートアビトレーション プライオリティセットアップタイム	t _{APXR}	20	-	25	-	ns	
BUSYからのデータ出力アクセスタイム	t _{BO}	-	0	-	0	ns	
BUSYからのライトホールドタイム	t _{BO}	60	-	70	-	ns	

インタラプトタイミング

(推奨動作条件において)

項 目	記号	MB8421-90/90L/90LL		MB8421-12/12L/12LL		単位	備 考
		最小	最大	最小	最大		
		NR ₁ セットタイム	t _{NR1}	-	80		
NR ₂ セットタイム	t _{NR2}	-	80	-	100	ns	Note 9