

μ PD43257A

256 K ビット スタティック CMOS RAM

μ PD43257A は高速、低消費電力の特長を持った 262 144 ビット (32 768 ワード $\times$ 8 ビット) のシリコンゲート CMOS RAM です。

メモリセルに NMOS、周辺回路に CMOS の構造をもち、パワーダウン機能およびメモリ容量の拡張を行うための 2 つのチップイネーブル $\overline{CE}_1$ 、 $\overline{CE}_2$ を備えています。

また、 μ PD43257A は、 $\overline{CE}_2$ コントロールで、容易に完全スタンバイモードとなりますので、バッテリー・バックアップに最適です。

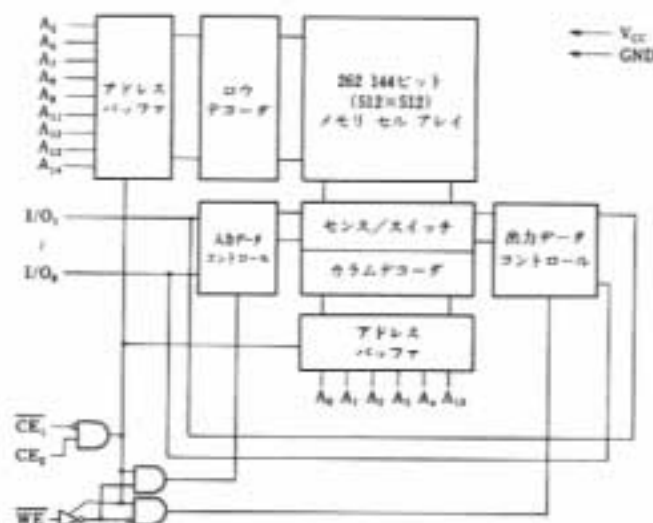
特 徴

- 32 768 ワード $\times$ 8 ビット構成
- 高速である。 μ PD43257A-85L..... 85 ns
 μ PD43257A-10L..... 100 ns
 μ PD43257A-12L..... 120 ns
 μ PD43257A-15L..... 150 ns
- バッテリーバックアップが可能
 スタンバイ電源電流..... 2 μ A TYP.
 データ保持電源電流..... 1 μ A TYP.
- 低消費電力
- 単一電源 5 V $\pm$ 10 %
- 入出力 TTL コンパチブル
- 入出力共通ピン、出力 3 ステート
- クロックが不要 (非同期スタティック回路)
- 入出力データは同相

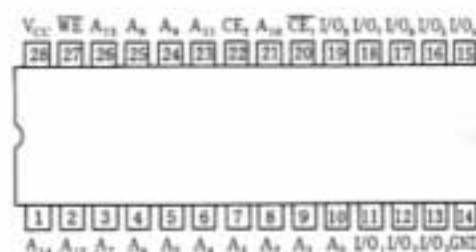
オーダ情報

オーダ名称	アクセス時間 MAX.	パッケージ
μ PD43257AC-85L	85 ns	28 ピン・ プラスチック DIP
μ PD43257AC-10L	100 ns	P28C-100-600A1
μ PD43257AC-12L	120 ns	
μ PD43257AC-15L	150 ns	
μ PD43257AGU-85L	85 ns	28 ピン・ プラスチック SOP
μ PD43257AGU-10L	100 ns	P28GM-50-450A2
μ PD43257AGU-12L	120 ns	
μ PD43257AGU-15L	150 ns	

ブロック図



端子接続図 (上面図)



- $A_0 \sim A_{14}$: アドレス入力
- $I/O_0 \sim I/O_7$: データ入出力
- $\overline{CE}_1, \overline{CE}_2$: チップイネーブル 1, 2 入力
- $\overline{WE}$: ライトイネーブル入力
- V_{CC} : +5 V 電源
- GND : グランド

動作モード

CE ₁	CE ₂	WE	モード	出力状態	電源電流
H	X	X	非選択 (ノイズダウンス)	ハイ インピーダンス	I _{SB}
X	L	X			
L	H	H	リード	D _{OUT}	I _{CCA}
L	H	L	ライト	D _{IN}	

絶対最大定格

項目	略号	定 格	単 位
電 源 電 圧	V _{CC}	-0.5*~7.0	V
入 出 力 電 圧	V _I	-0.5*~V _{CC} +0.5	V
動 作 温 度	T _{amb}	0~+70	°C
保 存 温 度	T _{stg}	-55~+125	°C

*パルス幅50 nsの場合:-3.0 V MIN.

推奨動作条件

項目	略号	MIN.	TYP.	MAX.	単 位
電 源 電 圧	V _{CC}	4.5	5.0	5.5	V
ハイレベル入力電圧	V _{IH}	2.2		V _{CC} +0.5	V
ロウレベル入力電圧	V _{IL}	-0.3*		0.8	V
問 題 温 度	T _B	0		70	°C

*パルス幅50 nsの場合:-3.0 V MIN.

DC特性 (推奨動作条件による)

項目	略号	条 件	μPD43257AC/GU			単 位
			MIN.	TYP.	MAX.	
入力リーク電流	I _{LI}	V _{IN} =0~V _{CC}	-1.0		1.0	μA
I/Oリーク電流	I _{LO}	V _{CE1} =V _{IH} or V _{CE2} =V _{IL} or V _{WE} =V _{IL} , V _{I/O} =0~V _{CC}	-1.0		1.0	μA
電 源 電 流	I _{CCA1}	V _{CE1} =V _{IL} , V _{CE2} =V _{IH} MIN サイクル, I _{I/O} =0			①	mA
	I _{CCA2}	V _{CE1} =V _{IL} , V _{CE2} =V _{IH} I _{I/O} =0			10	mA
	I _{CCA3}	V _{CE1} ≤0.2 V, V _{CE2} ≥V _{CC} -0.2 V サイクル=1 MHz, I _{I/O} =0 V _{IL} ≤0.2 V, V _{IH} ≥V _{CC} -0.2 V			10	mA
スタンバイ電源電流	I _{SB}	V _{CE1} =V _{IH} or V _{CE2} =V _{IL}			3	mA
	I _{SB1}	V _{CE1} ≥V _{CC} -0.2 V, V _{CE2} ≥V _{CC} -0.2 V		0.002	0.1	mA
	I _{SB2}	V _{CE2} ≤0.2 V		0.002	0.1	mA
ハイレベル出力電圧	V _{OHI}	I _{OH} =-1.0 mA	2.4			V
	V _{OHS}	I _{OH} =-0.1 mA	V _{CC} -0.5			V
ロウレベル出力電圧	V _{OL}	I _{OL} =2.1 mA			0.4	V

① μPD43257AC-85L, μPD43257AGU-85L.....45 mA MAX.

μPD43257AC-10L, μPD43257AGU-10L.....40 mA MAX.

μPD43257AC-12L, μPD43257AGU-12L.....40 mA MAX.

μPD43257AC-15L, μPD43257AGU-15L.....35 mA MAX.

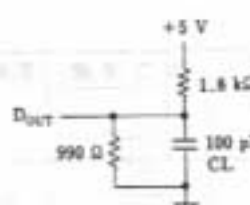
入出内容量 (T_a=25 °C, f=1 MHz)

項目	略号	条 件	MIN.	TYP.	MAX.	単 位
入 出 力 容 量	C _{I/O}	V _{I/O} =0 V			8	pF
入 力 容 量	C _{IN}	V _{IN} =0 V			5	pF

AC特性(推奨動作条件による)

AC特性試験条件

入力パルス電圧レベル	0.8~2.2 V
入力立ち上がり, 立下り時間	5 ns
入力・出力タイミングレベル	1.5 V
出力負荷	図1, 2による



注 CLは浮遊容量を含む。

図1. 負荷回路

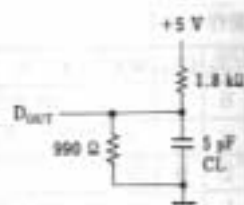


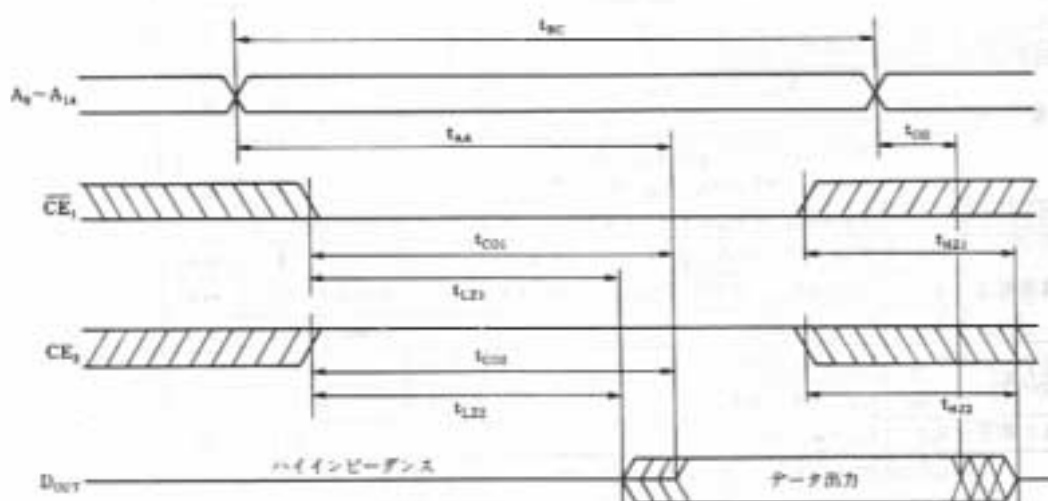
図2. 負荷回路

(t_{H2} , t_{L2} , t_{WHZ} ,
 t_{OH} 測定の場合)

リードサイクル

項 目	略 号	μPD43257AC-85L μPD43257AGU-85L		μPD43257AC-10L μPD43257AGU-10L		μPD43257AC-12L μPD43257AGU-12L		μPD43257AC-15L μPD43257AGU-15L		単位
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
サイクル時間	t_{SC}	85		100		120		150		ns
アドレスアクセス時間	t_{AA}		85		100		120		150	ns
$\overline{CE}_1$ アクセス時間	t_{C01}		85		100		120		150	ns
$\overline{CE}_2$ アクセス時間	t_{C02}		85		100		120		150	ns
出力保持時間	t_{OH}	10		10		10		10		ns
$\overline{CE}_1$ -出力セット時間	t_{LZ1}	10		10		10		10		ns
$\overline{CE}_2$ -出力セット時間	t_{LZ2}	10		10		10		10		ns
$\overline{CE}_1$ -出力フローティング時間	t_{H21}		30		35		40		50	ns
$\overline{CE}_2$ -出力フローティング時間	t_{H22}		30		35		40		50	ns

リードサイクルタイミング(注1)



注1. リードサイクルでは $\overline{WE}$ はハイレベルです。

ライトサイクル

項 目	略 号	μPD43257AC-85L μPD43257AGU-85L		μPD43257AC-10L μPD43257AGU-10L		μPD43257AC-12L μPD43257AGU-12L		μPD43257AC-15L μPD43257AGU-15L		単位
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
サイクル時間	t_{WC}	85		100		120		150		ns
CE ₁ -WEリセット時間	t_{CW1}	80		85		100		120		ns
CE ₂ -WEリセット時間	t_{CW2}	80		85		100		120		ns
アドレス-WEリセット時間	t_{AW}	80		85		100		120		ns
アドレスセットアップ時間	t_{AS}	0		0		0		0		ns
ライトパルス幅	t_{WP}	70		75		85		105		ns
アドレスホールド時間	t_{AH}	5		5		5		5		ns
入力データセット時間	t_{Dw}	40		45		50		60		ns
入力データホールド時間	t_{DH}	0		0		0		0		ns
WE-出力フローティング時間	t_{WZ}		30		35		40		50	ns
WE-出力活性化時間	t_{QW}	10		10		10		10		ns

ライトサイクルタイミング1 (注1, 2)

(WEコントロール)

