

Pチャネル パワー MOS FET

スイッチング用

工業用

特長

- ロジックレベル ($V_{GS} = -4\text{ V}$) でのゲート駆動が可能です。
- 低 $R_{DS(on)}$ ($\approx 0.8\ \Omega$) のため小形外形ながら大電流が制御可能です。
- 2SJ128-ZはハイブリッドIC実装に最適なリード加工品です。

絶対最大定格 ($T_A = 25\ ^\circ\text{C}$)

項 目	略 号	条 件	定 格	単 位
ドレイン・ソース間電圧	V_{DS}	$V_{GS} = 0$	-100	V
ゲート・ソース間電圧	V_{GS}	$V_{DS} = 0$	± 20	V
ドレイン電流(直流)	$I_{D(DC)}$	$T_C = 25\ ^\circ\text{C}$	± 2.0	A
ドレイン電流(パルス)	$I_{D(pulse)}$	$PW \leq 300\ \mu\text{s}$ Duty Cycle $\leq 10\ \%$	± 8.0	A
全 損 失	P_T	$T_C = 25\ ^\circ\text{C}$	20	W
全 損 失	P_T	$T_A = 25\ ^\circ\text{C}$	1.0*, 2.0**	W
チャネル温度	T_{ch}		150	$^\circ\text{C}$
保 存 温 度	T_{stg}		-55 ~ +150	$^\circ\text{C}$

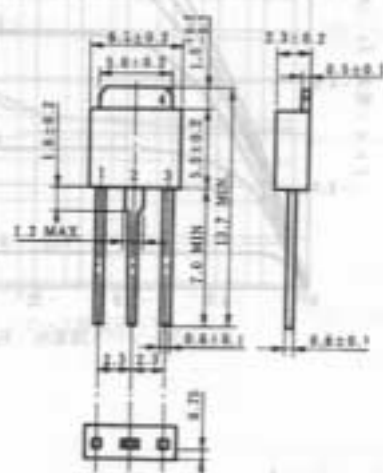
* プリント基板実装時

** $7.5\text{ cm}^2 \times 0.7\text{ mm}$ のセラミック基板実装時電気的特性 ($T_A = 25\ ^\circ\text{C}$)

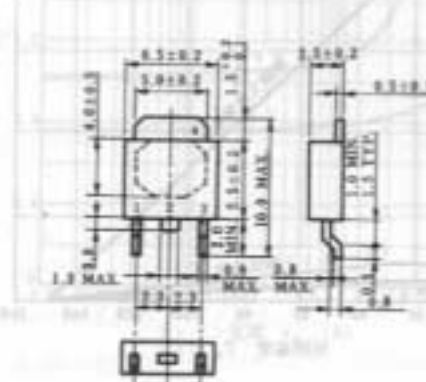
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ドレインシャ断電流	I_{DSS}	$V_{DS} = -100\text{ V}, V_{GS} = 0$			-10	μA
ゲートシャ断電流	I_{GSS}	$V_{GS} = \pm 20\text{ V}, V_{DS} = 0$			± 100	nA
ゲートカットオフ電圧	$V_{GS(off)}$	$V_{DS} = -10\text{ V}, I_D = -1.0\text{ mA}$	-1.0	-2.0	-3.0	V
順伝達アドミタンス	$ y_{fs} $	$V_{DS} = -10\text{ V}, I_D = -1.0\text{ A}$	1.0	1.6		S
ドレイン・ソース間オン抵抗	$R_{DS(on)}$	$V_{GS} = -10\text{ V}, I_D = -1.0\text{ A}$		0.8	1.0	Ω
ドレイン・ソース間オン抵抗	$R_{DS(on)Z}$	$V_{GS} = -4\text{ V}, I_D = -0.8\text{ A}$		1.1	1.5	Ω
入 力 容 量	C_{iss}	$V_{DS} = -10\text{ V}, V_{GS} = 0$ $f = 1\text{ MHz}$		1000		pF
出 力 容 量	C_{oss}			200		pF
帰還容 量	C_{rss}			25		pF
オン時遅延時間	$t_{d(on)}$	$I_D = -1.0\text{ A}, V_{GS(off)} = -10\text{ V}$ $V_{CC} = -50\text{ V}, R_L = 50\ \Omega$ $R_{th} = 10\ \Omega$		30		ns
立 上 り 時 間	t_r			30		ns
オフ時遅延時間	$t_{d(off)}$			110		ns
フ 降 時 間	t_f			40		ns

外形图 (Unit:mm)

2SJ128外形圖

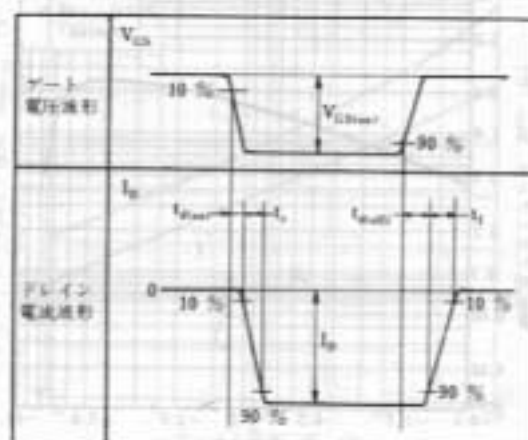
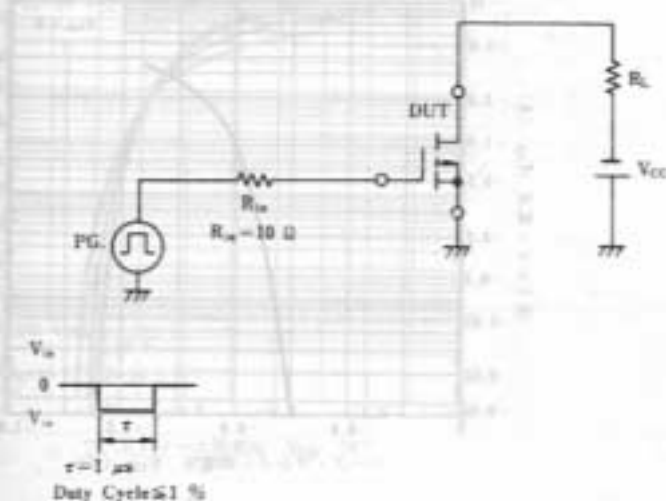


2SJ128-Z外形圖

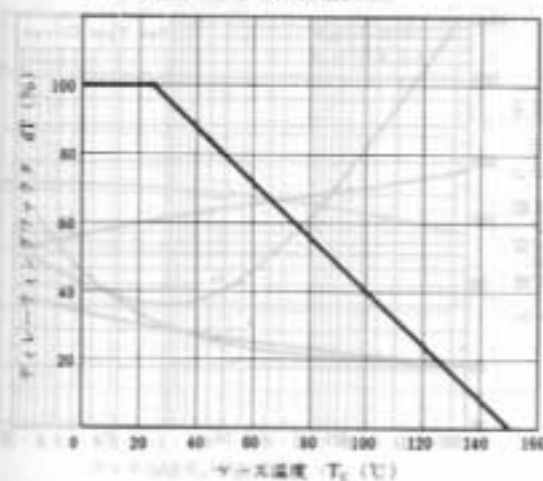


1. Gate
2. Drain
3. Source
4. Drain (Fin)

スイッチングタイム測定回路。測定条件（抵抗負荷）



特性曲線 ($T_a = 25\text{ }^{\circ}\text{C}$)

DERATING FACTOR OF FORWARD BIAS
SAFE OPERATING AREADRAIN CURRENT vs.
DRAIN TO SOURCE VOLTAGE