

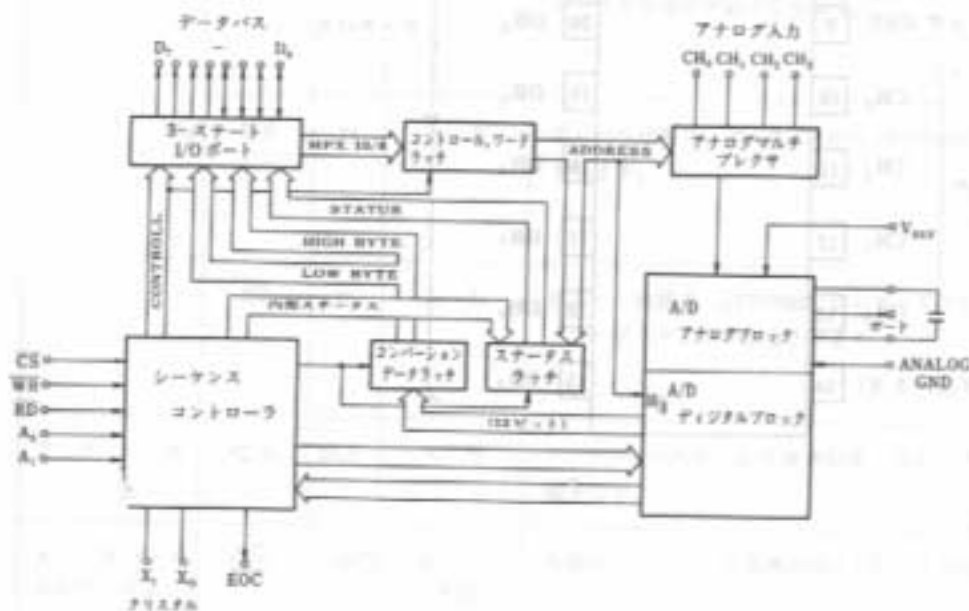
μPD7002Cは4チャンネル アナログマルチプレクサを内蔵した、ワンチップ10ビット積分形A/D変換器です。デジタルインターフェイスは、8ビットの3-ステートI/Oポートにより行われます。したがって、8ビット・マイコンシステムとの接続が容易で、直流アナログ信号処理をともなうシステムに最適です。

また、変換誤差0.1% FSR MAX.のμPD7002C-1と0.2% FSR MAX.のμPD7002Cがあり、最適のコストパフォーマンスで品種選択ができます。

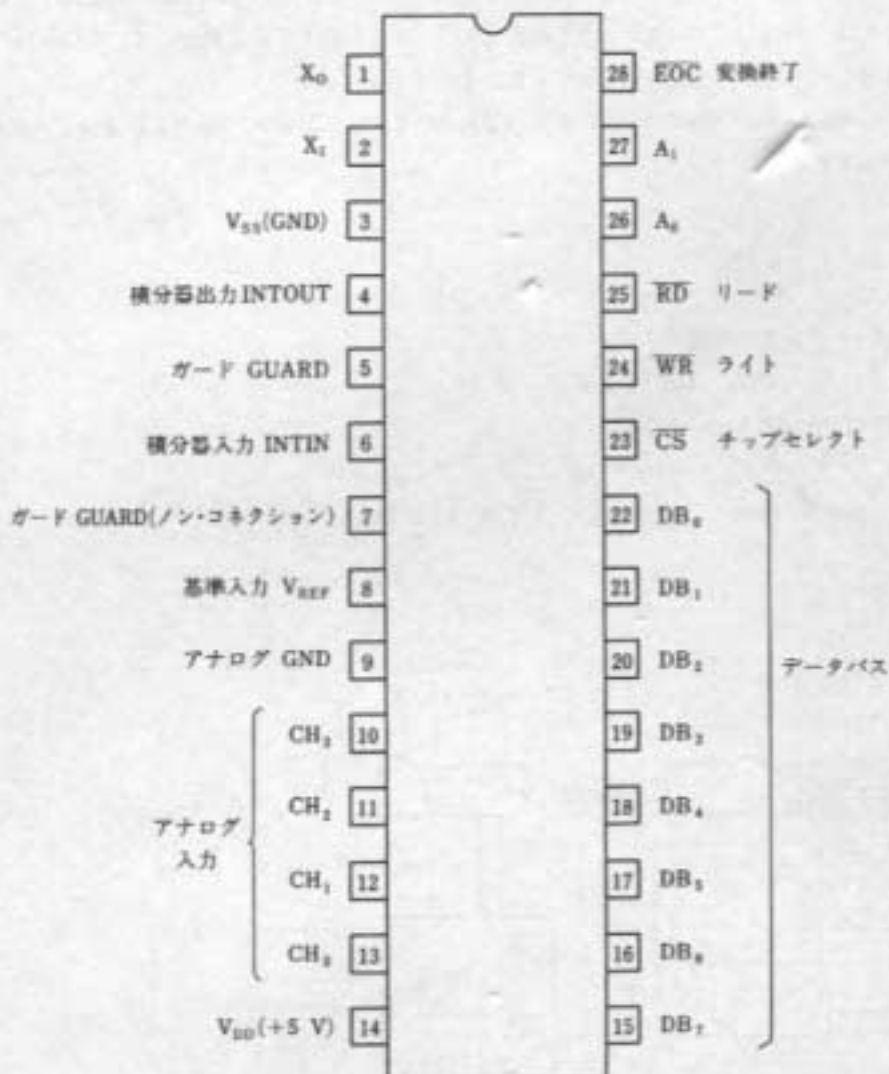
特長

- ワンチップCMOS A/Dコンバータ
- 4チャンネル アナログマルチプレクサ内蔵
- 8ビット 3-ステート双方向ポート内蔵 (1 TTL負荷)
- 低消費電力 $P_d=15\text{ mW}$ TYP. (@ $V_{DD}=+5\text{ V}$)
- 28ピン・プラスチック・デュアルインライン・パッケージ
- 変換誤差 μPD7002C-1: 0.1% FSR μPD7002C: 0.2% FSR MAX.

ブロック図



端子接続 (Top View)



外形図 TYPE 22

デジタル入出力端子の機能

端子名称	略号	No.	入出力	機能
クリスタル	X ₀ , X ₁	1,2	—	クロック発振用水晶を接続する端子です。X ₁ 端子は外部クロック入力端子としても使用できます。
データバス	DB ₇₋₀	15-22	3-ステート (1 TTL)	8ビットのデータバスに接続し、A/D変換結果、μPD7002C内部ステータスの出力、アナログマルチプレクサアドレス、10/8ビット変換切換え信号の入出力を行います。 また、μPD7002Cの非選択時 (CS=HIGH) にはハイインピーダンスになります。
チップセレクト	\overline{CS}	23	入力	チップセレクト端子を低レベルにすることにより他の入力端子 (WR, RD, A ₀ , A ₁) が有効となり、データバス端子を通してデータの交換が可能となります。
ライト	\overline{WR}	24	入力	低レベル状態で、データバスからμPD7002Cへデータが書き込まれます。
リード	\overline{RD}	25	入力	低レベル状態で、μPD7002Cからデータバスに、A/D変換結果、ステータスデータが出力されます。
アドレス	A ₀ , A ₁	26,27	入力	データバスの内容 (A/D変換結果、ステータス等) を指定する端子です。
エンドオブコンバージョン	\overline{EOC}	28	出力 (1 TTL)	外部デバイスにA/D変換が終了したことを指示するための端子です。 リードモード (ハイバイト出力) によりリセットされます。

6

絶対最大定格 (T_a=25 °C)

項目	略号	定 額	単 位
電 源 電 圧	V _{DD} -V _{SS}	-0.3~+7.0	V
パッケージ許容損失	P _D	300	mW
入 力 電 圧	V _I	V _{SS} -0.3~V _{DD} +0.3	V
アナログGND端子電圧	V _{CGND} -V _{SS}	±0.3	V
動作温度範囲	T _{op}	-20~+70	°C
保存温度範囲	T _{stg}	-65~+125	°C

推奨動作条件 (T_a=25 °C)

項目	略号	MIN.	TYP.	MAX.	単 位	項目	略号	MIN.	TYP.	MAX.	単 位
電 源 電 圧	V _{DD}	4.75	5.00	5.25	V	ハイレベル入力電圧 注2	V _{IH}	2.2			V
基準電圧	V _{REF}	2.25	2.50	2.75	V	ロウレベル入力電圧 注2	V _{IL}			0.8	V
アナログ入力電圧 注3	V _{IA}	0		V _{REF}	V	ハイレベルクロック入力電圧 注2	V _{IHH}	V _{DD} -1.4			V
クロック周波数	f _{CK}	0.5	1	3	MHz	ロウレベルクロック入力電圧 注2	V _{IHL}			1.4	V
積分コンデンサ 注1	C _{INT}	0.029	0.033		μF						

電気的特性 (T_a=0~+50 °C, V_{DD}=5.0±0.25 V_{DC}, 注3)

項目	略号	条 件	MIN.	TYP.	MAX.	単 位
分 解 能		V _{REF} =2.5±0.25 V, V _{DD} =5.0 V μPD7002C-1	10	11	12	Bit
		μPD7002C	9	11	12	
直 線 性	N.L.	μPD7002C-1		0.05		%FSR
		μPD7002C		0.1		
フルスケールオフセット		μPD7002C-1		0.05	0.1	%FSR
		μPD7002C		0.1	0.2	
ゼロスケールオフセット		μPD7002C-1		0.05	0.1	%FSR
		μPD7002C		0.1	0.2	
総 合 誤 差 1		μPD7002C-1		0.05	0.1	%FSR
		μPD7002C		0.1	0.2	
" 2		V _{REF} =2.5 V, V _{DD} =5±0.25 V μPD7002C-1		0.05	0.1	%FSR
		μPD7002C		0.1	0.2	
フルスケールオフセット温度ドリフト				10		ppm/°C
ゼロ				10		"
アナログ入力抵抗	R _I	V _{IA} =0~V _{DD} 注5		1 000		MΩ
変 換 時 間	T _{CONV}	10ビット変換モード 注1	8.5	10	15	ms
		8ビット " 注1	2.4	4	5	
ハイレベル出力電圧	V _{OH}	I _O =-1.6 mA, T _a =-20~+70 °C		V _{DD} -1.5		V
ロウレベル出力電圧	V _{OL}	I _O =1.6 mA, T _a =-20~+70 °C			0.45	V
デジタル入力端子電流	I _I	V _I =V _{SS} -V _{DD}		1	10	μA
フローティング出力端子電流	I _{LEAK}	" ,DB端子		1	10	μA
クロック入力端子入力電流	I _{CL}	" ,DB4		5	50	μA
消 費 電 力	P _d			15	25	mW

注1. 積分コンデンサ; C_{INT} はクロック周波数に応じて、下記の式により設定してください。この場合、変換時間はクロック周波数に反比例します。 C_{INT} (μF) = 0.033/f_{CK} (MHz)

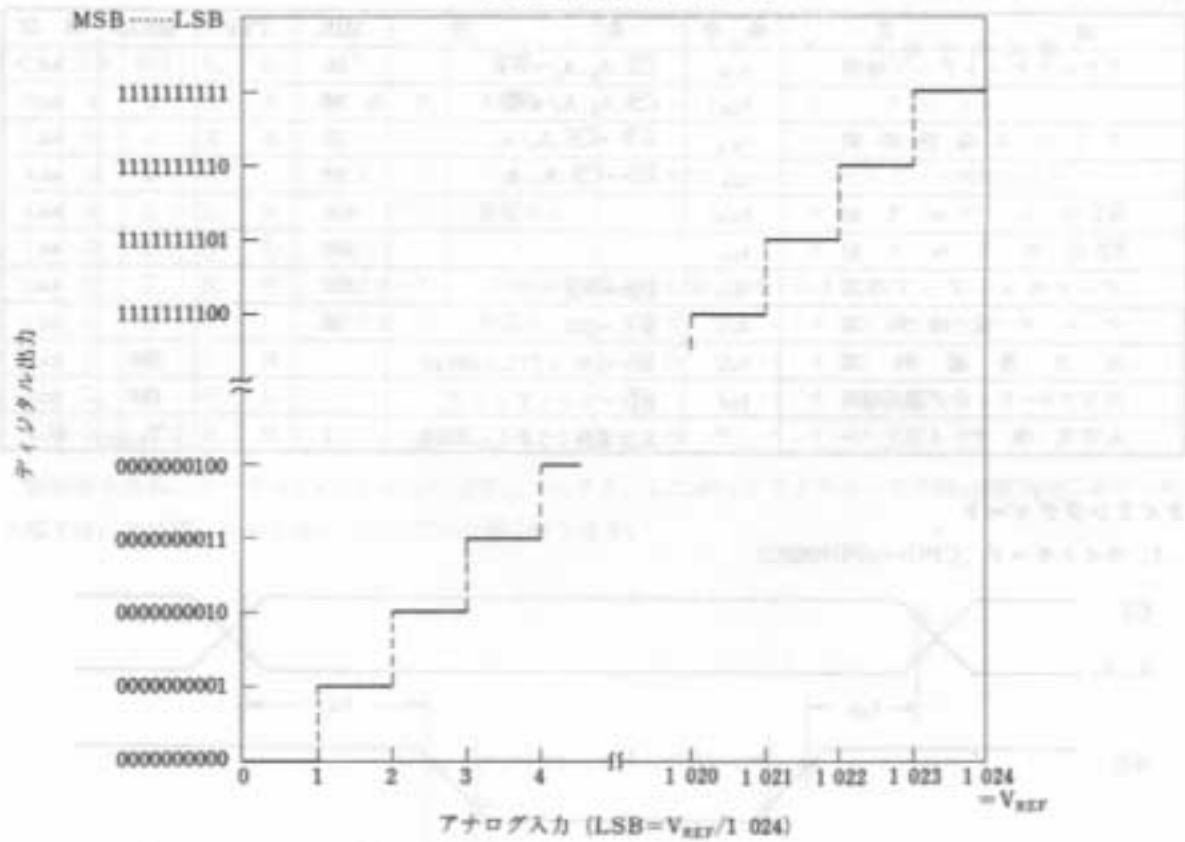
注2. T_a = -20~+70 °C, V_{DD} = 5±0.25 V

注3. f_{CK} = 1 MHz, C_{INT} = 0.033 μF, V_{REF} = 2.5 V, 10 ビット変換モード

注4. 水晶を用いた、クロック発振回路が内蔵されていますが、外部からクロック信号を供給する場合は、CMOSレベルにて、X₁端子に接続してください。

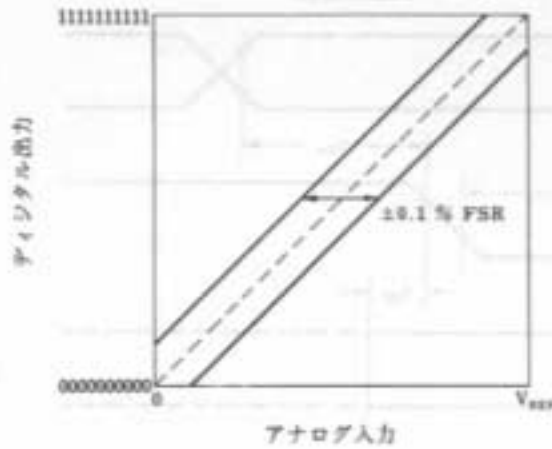
注5. 負入力(-0.2 V以下)時には入力インピーダンスが低下します。また、この場合、負入力が増えられたチャンネルが非選択時の場合でも、変換誤差が増大します。

理想入出力特性 (V_{REF} 基準)

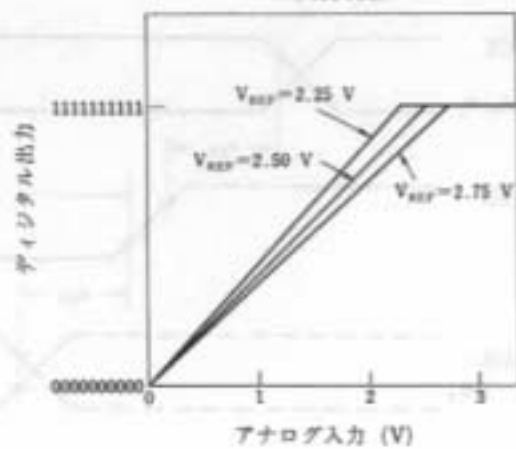


6

総合誤差



入出力特性

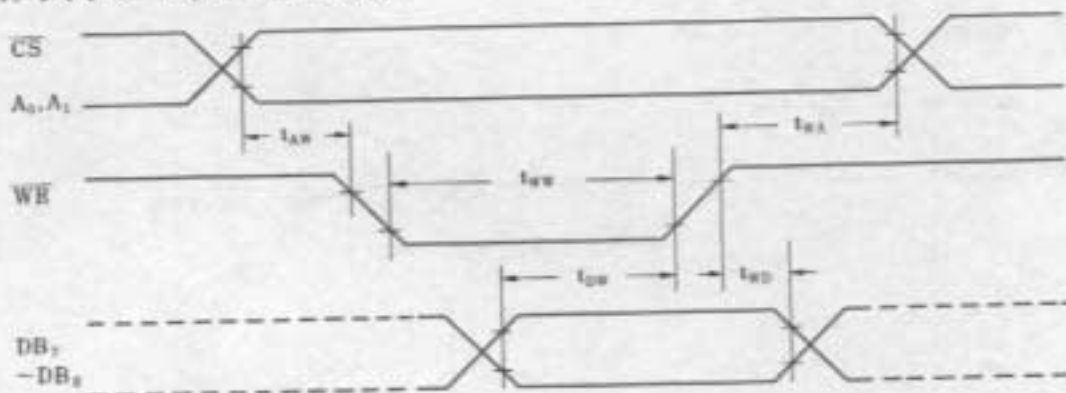


スイッチング特性 ($T_B=25^\circ\text{C}$, $V_{DD}=5\pm 0.25\text{ V}$, $V_{REF}=2.5\text{ V}$, $f_{CK}=1\text{ MHz}$)

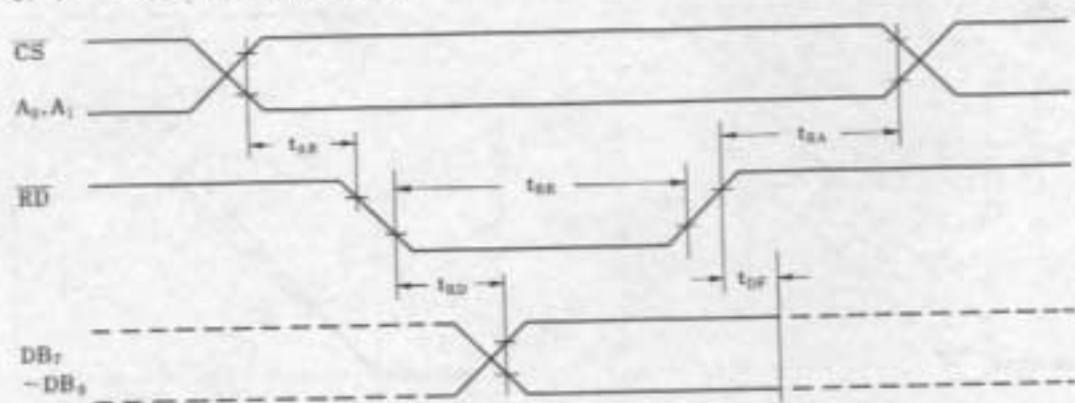
項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレスセットアップ時間	t_{AS}	$\overline{CS}, A_0, A_1 \rightarrow \overline{WR}$	50			ns
"	t_{AS}	$\overline{CS}, A_0, A_1 \rightarrow \overline{RD}$	50			ns
アドレス保持時間	t_{AH}	$\overline{WR} \rightarrow \overline{CS}, A_0, A_1$	50			ns
"	t_{AH}	$\overline{RD} \rightarrow \overline{CS}, A_0, A_1$	50			ns
WR信号パルス幅	t_{WV}		400			ns
RD信号パルス幅	t_{RV}		400			ns
データセットアップ時間	t_{DW}	DB \rightarrow WR	300			ns
データ保持時間	t_{DH}	WR \rightarrow DB	50			ns
出力遅延時間	t_{OD}	$\overline{RD} \rightarrow \text{DB}, 1\text{TTL}+100\text{ pF}$			300	ns
出力フローティング遅延時間	t_{OF}	$\overline{RD} \rightarrow \text{フローティング}$			150	ns
A/D変換サイクル		A/D変換くりかえし回波数	1		$1/T_{CONV}$	Hz/s

タイミングチャート

1. ライトモード (CPU \rightarrow μPD7002C)



2. リードモード (μPD7002C \rightarrow CPU)



入力条件

$t_r, t_f \leq 50\text{ ns}$

